

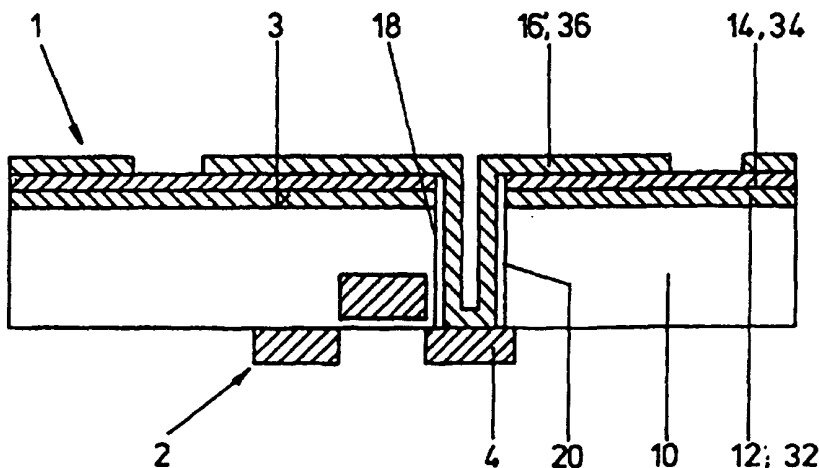
**PCT** WELTORGANISATION FÜR GEISTIGES EIGENTUM  
 Internationales Büro  
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



<b>(51) Internationale Patentklassifikation <sup>6</sup> :</b> <b>H01L 27/115, 21/3205</b>	<b>A1</b>	<b>(11) Internationale Veröffentlichungsnummer: WO 98/15008</b> <b>(43) Internationales Veröffentlichungsdatum:</b> 9. April 1998 (09.04.98)
---	-----------	---

<b>(21) Internationales Aktenzeichen:</b> PCT/DE97/02034 <b>(22) Internationales Anmeldedatum:</b> 11. September 1997 (11.09.97)  <b>(30) Prioritätsdaten:</b> 196 40 211.5      30. September 1996 (30.09.96)    DE  <b>(71) Anmelder (für alle Bestimmungsstaaten ausser US):</b> SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).  <b>(72) Erfinder; und</b> <b>(75) Erfinder/Anmelder (nur für US):</b> HINTERMAIER, Frank [DE/DE]; Lipowskystrasse 19, D-81373 München (DE). SCHINDLER, Günther [DE/DE]; Ungererstrasse 19, D-80802 München (DE). HARTNER, Walter [DE/DE]; Alemannenstrasse 20, D-89441 Memmingen (DE). MAZURE-ESPEJO, Carlos [DE/DE]; Grünlandstrasse 4, D-85604 Zorneding (DE).	<b>(81) Bestimmungsstaaten:</b> CN, JP, KR, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  <b>Veröffentlicht</b> <i>Mit internationalem Recherchenbericht.</i>
--	---

**(54) Title:** PROCESS FOR PRODUCING BARRIER-FREE SEMICONDUCTOR STORAGE ASSEMBLIES  
**(54) Bezeichnung:** VERFAHREN ZUR HERSTELLUNG BARRIERENFREIER HALBLEITERSPEICHERANORDNUNGEN



**(57) Abstract**

This invention concerns a process for producing an integrated semiconductor storage assembly, particularly with the use of ferroelectric materials as storage dielectrics. To that effect, a conductive connection between an electrode of a storage capacitor and a selector transistor is only produced after depositing of the storage dielectric. This invention also concerns storage assemblies produced according to said production process.

⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Off n l gungsschrift  
⑩ DE 196 40 211 A 1

⑤ Int. Cl.®:  
H 01 L 21/8239  
H 01 G 7/06

②① Aktenzeichen: 196 40 211.5  
②② Anmeldetag: 30. 9. 96  
②③ Offenlegungstag: 2. 4. 98

DE 196 40 211 A 1

⑦① Anmelder:  
Siemens AG, 80333 München, DE

⑦② Erfinder:  
Hintermaier, Frank, Dr., 81373 München, DE;  
Schindler, Guenther, Dr., 80802 München, DE;  
Hartner, Walter, 89441 Memmingen, DE;  
Mazure-Espejo, Carlos, 85614 Kirchseeon, DE

⑤⑥ Entgegenhaltungen:  
US 54 39 840  
US 54 03 766  
EP 04 30 404 A1  
EP 03 70 407 A1

Prüfungsantrag gem. § 44 PatG ist gestellt

- ⑤④ Verfahren zur Herstellung barrierenfreier Halbleiterspeicheranordnungen
- ⑤⑦ Verfahren zur Herstellung einer integrierten Halbleiterspeicheranordnung, insbesondere zur Verwendung ferroelektrischer Materialien als Speicherdielektrika, wobei eine leitende Verbindung zwischen einer Elektrode eines Speicherkondensators und einem Auswahltransistor erst nach Abscheidung des Speicherdielektrikums hergestellt wird; sowie nach dem Herstellverfahren hergestellte Halbleiterspeicheranordnung.

DE 196 40 211 A 1

Die Erfindung betrifft ein Verfahren zur Herstellung einer integrierten Halbleiterspeicheranordnung und eine nach dem Verfahren hergestellte Halbleiterspeicheranordnung.

Speicheranordnungen auf Halbleiterbasis bestehen üblicherweise aus einer Anzahl Speicherzellen, die jeweils einen Auswahltransistor und einen mit dem Auswahltransistor verbundenen Speicherkondensator aufweisen. Während eines Herstellverfahrens derartiger Halbleiterspeicheranordnungen werden üblicherweise erste Elektroden über leitenden Verbindungen aufgebracht, wobei die leitenden Verbindungen die ersten Elektroden mit jeweils einem der Auswahltransistoren verbinden. Ein Speicherdielektrikum wird über der ersten Elektrode aufgebracht, auf welchem wiederum eine zweite Elektrode aufgebracht wird, so daß die erste und zweite Elektrode sowie das dazwischenliegende Speicherdielektrikum einen Speicherkondensator bilden, der mit einem der Auswahltransistoren leitend verbunden ist.

Die Verwendung neuartiger ferroelektrischer Materialien als Speicherdielektrikum der Speicherkondensatoren ermöglicht die Herstellung von Halbleiterspeichern, die ihre in Form von elektrischer Ladung gespeicherte Information nach Wegfall einer Versorgungsspannung nicht verlieren bzw. deren Speicherinhalte nicht in regelmäßigen Abständen aufgrund auftretender Leckströme aufgefrischt werden müssen.

Eine Abscheidung der meisten der bisher bekannten derartigen ferroelektrischen Materialien findet bei hohen Temperaturen in einer sauerstoffhaltigen Atmosphäre statt. Dies hat zur Folge, daß die Verwendung derartiger ferroelektrischer Materialien in dem oben beschriebenen Verfahren, bei dem das Speicherdielektrikum über der ersten Elektrode aufgebracht wird, welche sich wiederum über einer leitenden Verbindung zu dem Auswahltransistor befindet, eine Oxidation der leitenden Verbindung bewirkt, da Sauerstoff während der Abscheidung der ferroelektrischen Materialien durch die erste Elektrode hindurch in Richtung der leitenden Verbindung diffundiert. Eine Oxidation der leitenden Verbindung bedeutet eine Unterbrechung der Verbindung zwischen Speicherkondensator und Auswahltransistor, so daß eine aus Speicherkondensator und Auswahltransistor bestehende Speicherzelle nicht mehr funktionsfähig ist.

Lösungsansätze zur Vermeidung der Oxidation der leitenden Verbindung während des Abscheidens eines ferroelektrischen Speicherdielektrikums sehen vor, Barrierenschichten zwischen der leitenden Verbindung und der ersten Elektrode aufzubringen, wobei die Barrierenschichten elektrisch leitfähig aber widerstandsfähig gegen Oxidation und das Hindurchdiffundieren von Sauerstoff sein müssen. Nachteilig bei der Verwendung von Barrierenschichten ist die schwierige Suche nach geeigneten Materialien, die sowohl elektrisch leitfähig als auch sauerstoffundurchlässig und widerstandsfähig gegen Oxidation sind und die in geeigneter Weise auf die leitenden Verbindungen aufgebracht werden können.

Die Erfindung hat das Ziel, ein Verfahren zur Herstellung einer Halbleiterspeicheranordnung zur Verfügung zu stellen, bei dem ferroelektrische Materialien als Speicherdielektrika der herzustellenden Speicherkondensatoren verwendet werden können und bei dem auf die Verwendung von Barrierenschichten zwischen leitender

Verbindung und erster Elektrode verzichtet werden kann, so daß sich insbesondere oben genannte Nachteile nicht ergeben, sowie eine nach dem Verfahren hergestellte Halbleiterspeicheranordnung anzugeben.

Dieses Ziel wird mit einem Verfahren zur Herstellung einer Halbleiterspeicheranordnung erreicht, das folgende Verfahrensschritte aufweist:

- Bereitstellen einer Anordnung aus Auswahltransistoren;
- Abscheiden einer ersten Schicht aus Elektrodenmaterial auf einer ersten Hauptfläche einer Isolationsschicht, über der Anordnung aus Auswahltransistoren;
- Abscheiden einer Dielektrikumsschicht über der ersten Schicht aus Elektrodenmaterial;
- Erzeugen von Kontaktlöchern über Source-Gebieten der Auswahltransistoren;
- Anordnen einer zweiten Isolationsschicht auf einer freigelegten Kante der ersten Schicht aus Elektrodenmaterial;
- Abscheiden einer zweiten Schicht aus Elektrodenmaterial in Richtung der ersten Hauptfläche;
- Strukturieren der zweiten Schicht aus Elektrodenmaterial.

Bei dem erfindungsgemäßen Verfahren zur Herstellung einer Halbleiterspeicheranordnung erfolgt die Herstellung einer leitenden Verbindung zwischen einer der beiden Elektroden, in diesem Fall der zweiten Elektrode, und dem Auswahltransistor erst nachdem das Speicherdielektrikum abgeschieden wurde. Das Verfahren ist geeignet für die Verwendung beliebiger Dielektrika als Speicherdielektrika zur Herstellung von Speicherkondensatoren in Halbleiterspeicheranordnungen. Es ist insbesondere geeignet für die Verwendung ferroelektrischer Materialien als Speicherdielektrika, da bei diesem Verfahren oben genannte Probleme, wie die Oxidation der leitenden Verbindung zu den Auswahltransistoren während der Abscheidung des Speicherdielektrikums, nicht auftreten können. Das Verfahren ist weiterhin mit bisher bekannten Methoden zur Herstellung von Halbleiterspeicheranordnungen leicht durchführbar.

Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche.

Die ferroelektrischen Eigenschaften der meisten bisher bekannten ferroelektrischen Materialien, welche nach einer Ausführungsform der Erfindung als Speicherdielektrikum in Frage kommen sind temperaturabhängig. Diese ferroelektrischen Materialien verhalten sich unterhalb einer für sie charakteristischen Temperatur ferroelektrisch, während sie sich oberhalb dieser charakteristischen Temperatur paraelektrisch verhalten, wobei die Dielektrizitätskonstante im paraelektrischen Zustand wesentlich höher ist als die Dielektrizitätskonstanten bisher verwendeter Speicherdielektrika. Die Temperatur, unterhalb derer sich ferroelektrische Eigenschaften einstellen, ist bei einigen ferroelektrischen Materialien sehr niedrig, so daß aus technischer Sicht eine Verwendung dieser ferroelektrischen Materialien nur im paraelektrischen Zustand in Frage kommt, wobei deren Dielektrizitätskonstante im paraelektrischen Zustand jeweils über 10 vorzugsweise über 100 beträgt.

Eine Ausführungsform der Erfindung sieht vor, Materialien als Speicherdielektrika zu verwenden, deren Dielektrizitätskonstante jeweils größer als 10 ist, wobei

derartige Materialien beispielsweise oben genannte ferroelektrischen Materialien sein können, die oberhalb der für sie charakteristischen Temperatur verwendet werden.

Eine Ausführungsform der Erfindung sieht vor, oxidische Dielektrika als Speicherdielektrika zu verwenden. Zur Klasse dieser Substanzen gehören beispielsweise SBTN  $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ , SBT  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ , PZT  $(\text{Pb}, \text{Zr})\text{TiO}_3$ , BST  $(\text{Ba}, \text{Sr})\text{TiO}_3$  oder ST  $\text{SrTiO}_3$ . Die Formel  $(\text{Pb}, \text{Zr})\text{TiO}_3$  steht für  $\text{Pb}_x\text{Zr}_{1-x}\text{TiO}_3$ . Der Anteil an Pb und Zr bei diesem Substrat kann variieren, wobei das Verhältnis aus Pb und Zr das Temperaturverhalten dieses Dielektrikums maßgeblich bestimmt, d. h. die Temperatur bestimmt, unterhalb derer das Substrat ferroelektrische Eigenschaften bzw. oberhalb derer das Substrat paraelektrische Eigenschaften bei einer hohen Dielektrizitätskonstante aufweist. Die Formel  $(\text{Ba}, \text{Sr})\text{TiO}_3$  steht für  $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ , wobei bei diesem Substrat das Temperaturverhalten über das Verhältnis von Ba zu Sr maßgeblich bestimmt werden kann. Die Liste der genannten Substanzen ist keinesfalls vollständig. Die Auswahl einer der Substanzen als Speicherdielektrikum hängt maßgeblich von Verarbeitungsfaktoren während des Herstellverfahrens aber auch von Faktoren während des Einsatzes, beispielsweise der Umgebungstemperatur der Halbleiterspeicheranordnung ab.

Während des Herstellverfahrens nach der Erfindung, bei dem die zweite Schicht aus Elektrodenmaterial nach dem Herstellen der Kontaktlöcher über einer Anordnung abgeschieden wird, über der die erste Schicht aus Elektrodenmaterial und die Dielektrikumsschicht vor der Erzeugung der Kontaktlöcher aufgebracht wurden, ist sicherzustellen, daß keine leitende Verbindung zwischen der ersten Schicht aus Elektrodenmaterial und der zweiten Schicht aus Elektrodenmaterial an Rändern der Kontaktlöcher entstehen, an denen die erste Schicht aus Elektrodenmaterial freiliegt. Zur Verhinderung einer derartigen leitenden Verbindung zwischen erster Schicht aus Elektrodenmaterial und zweiter Schicht aus Elektrodenmaterial wird im Bereich der Kontaktlöcher auf freigelegte Kanten der ersten Schicht aus Elektrodenmaterial eine zweite Isolationsschicht aufgebracht. Die Isolationsschicht kann die Seitenwände des Kontaktlochs vollständig überdecken es können jedoch auch nur Teile der Seitenflächen der Kontaktlöcher von der zweiten Isolationsschicht überdeckt werden, was beispielsweise durch die Verwendung von kegelförmigen Kontaktlöchern oder von Kontaktlöchern, die im Bereich der ersten Elektrodenmaterialschicht einen größeren Durchmesser aufweisen als im Bereich der ersten Isolationsschicht, erreicht werden kann.

Halbleiterspeicheranordnungen, die nach dem erfindungsgemäßen Verfahren hergestellt werden, sind Gegenstand der Unteransprüche 7 bis 12.

Die Erfindung wird nachfolgend im Zusammenhang mit Ausführungsbeispielen anhand von Figuren näher erläutert. Es zeigen:

Fig. 1 ein Verfahren nach der Erfindung zur Herstellung einer integrierten Halbleiterspeicheranordnung,

Fig. 2 ein Ausführungsbeispiel einer Halbleiterspeicheranordnung nach der Erfindung,

Fig. 3 ein weiteres Ausführungsbeispiel einer Halbleiterspeicheranordnung nach der Erfindung.

In den nachfolgenden Figuren bezeichnen, sofern nicht anders angegeben, gleiche Bezugszeichen gleiche Teile mit gleicher Bedeutung.

In Fig. 1 ist ein Verfahren nach der Erfindung zur Herstellung einer Halbleiterspeicheranordnung anhand

mehrerer in den Fig. 1a bis 1f dargestellter Verfahrensschritte erläutert.

Fig. 1a zeigt einen Querschnitt durch einen Ausschnitt einer Anordnung aus Auswahltransistoren, die einen Halbleiterkörper 5 aufweist, über dem eine Isolationsschicht 10, beispielsweise Siliziumdioxid  $\text{SiO}_2$ , aufgebracht ist. Ein in der vorliegenden Figur dargestellter Auswahltransistor 2 weist ein Source-Gebiet 4, ein Drain-Gebiet 6 und ein Gate 8 auf, wobei sich das Source-Gebiet 4 und das Drain-Gebiet 6 in einem Halbleiterkörper 5 befinden, während das Gate 8 in der darüberliegenden Isolationsschicht 10 angeordnet ist. Die Source- und Drain-Gebiete 4, 6 können beispielsweise aus komplementär zum Leitungstyp des Halbleiterkörpers 5 dotierten Bereichen des Halbleiterkörpers 5 bestehen, während das Gate 8 aus Polysilizium sein kann. Derartige Anordnungen aus Auswahltransistoren 2 können komplett vorgefertigt sein und für verschiedene Verfahren zur Herstellung von Halbleiterspeicheranordnungen mit unterschiedlichsten Speicherkondensatorgeometrien verwendet werden.

Aus Gründen der Übersichtlichkeit werden in den folgenden Figuren der Halbleiterkörper 5 sowie die Bezugszeichen für Gate 8 und Drain-Gebiet 6 weggelassen. Weiterhin wird auf die Darstellung weiterer Verdrahtungen der Anordnung aus Auswahltransistoren, beispielsweise der Wort- und Bit-Leitungen, die bei derartigen Anordnungen üblicherweise mehrere Auswahltransistoren miteinander verbinden, verzichtet.

Fig. 1b zeigt die Anordnung aus Auswahltransistoren 2 nach einem ersten Verfahrensschritt, bei dem über einer ersten Hauptfläche 3 der Isolationsschicht 10 eine erste Schicht 12 aus Elektrodenmaterial abgeschieden wurde, wobei über der ersten Schicht 12 aus Elektrodenmaterial eine Dielektrikumsschicht 14 aufgebracht wurde. Als Elektrodenmaterial kann beispielsweise Platin verwendet werden. Um ein besseres Anhaften der Dielektrikumsschicht 14 und der ersten Schicht 12 aus Elektrodenmaterial zu erreichen, kann zwischen der Dielektrikumsschicht 14 und der ersten Schicht 12 aus Elektrodenmaterial, eine Haftschrift, z. B. Titandioxid  $\text{TiO}_2$ , aufgebracht werden.

Fig. 1c zeigt die Anordnung nach einem weiteren Verfahrensschritt, bei dem ein Kontaktloch 18 über dem Source-Gebiet 4 des dargestellten Auswahltransistors 2 in der Isolationsschicht 10, der ersten Schicht 12 aus Elektrodenmaterial und der Dielektrikumsschicht 14 erzeugt wurde. Im oberen Bereich des Kontaktlochs 18 liegt somit eine Kante 19 der ersten Schicht 12 aus Elektrodenmaterial frei.

In einem nächsten Verfahrensschritt wird eine zweite Isolationsschicht 20 über der freiliegenden Kante 19 aufgebracht, wie in Fig. 1d dargestellt. Die zweite Isolationsschicht 20 überdeckt in dem dargestellten Beispiel Seitenflächen des Kontaktlochs 18 vollständig und somit auch die freiliegende Kante 19 der ersten Schicht 12 aus Elektrodenmaterial und die Dielektrikumsschicht 14 im Bereich des Kontaktlochs 18. Ein geeignetes Material für die zweite Isolationsschicht 20 ist beispielsweise Siliziumdioxid  $\text{SiO}_2$  oder Siliziumnitrid  $\text{Si}_3\text{N}_4$ . Die zweite Isolationsschicht 20 wird vorzugsweise durch Abscheiden einer Schicht aus Isolationsmaterial in Richtung der ersten Hauptfläche 3 mit anschließender anisotroper Ätzung hergestellt.

Fig. 1e zeigt die Anordnung nach einem nächsten Verfahrensschritt, bei dem eine zweite Schicht 16 aus Elektrodenmaterial in Richtung der ersten Hauptfläche 3 über der Anordnung abgeschieden wurde. Die zweite

Schicht 16 aus Elektrodenmaterial überdeckt die Dielektrikumsschicht 14 in den Bereichen außerhalb des Kontaktlochs 18, die zweite Isolationsschicht 20 an den Seitenflächen des Kontaktlochs 18 sowie das Source-Gebiet 4 des Auswahltransistors 2 am Grund des Kontaktlochs 18.

Die zweite Elektrodenschicht 16, wird in einem nächsten Verfahrensschritt strukturiert, so daß Abschnitte 16' der zweiten Schicht 16 aus Elektrodenmaterial entstehen, wobei die Abschnitte 16' einer zweiten Elektrode 36 der Speicherkondensatoren der entstandenen Halbleiterspeicheranordnung 1 entsprechen und mit dem Source-Gebiet 4 jeweils eines der Auswahltransistoren verbunden sind, wie in Fig. 1f dargestellt. Die Dielektrikumsschicht 14 entspricht einem Speicherdielektrikum 34, die erste Schicht 12 aus Elektrodenmaterial einer ersten Elektrode 32, wobei die erste Elektrode 32 in dem dargestellten Beispiel mehreren Speicherkondensatoren der Halbleiterspeicheranordnung 1 gemeinsam ist. Die zweite Elektrode 36 bildet bei dem dargestellten Beispiel gleichzeitig die leitende Verbindung zu dem Auswahltransistor 2.

In Fig. 2 ist ein weiteres Ausführungsbeispiel einer nach dem Herstellverfahren der Erfindung hergestellten Halbleiterspeicheranordnung 1 dargestellt. Das Kontaktloch 18 weist in dem vorliegenden Beispiel im Bereich der ersten Elektrode 32 und des Speicherdielektrikums 34 einen größeren Durchmesser auf als im Bereich der ersten Isolationsschicht 10. Die zweite Isolationsschicht 20 überdeckt in dem dargestellten Fall lediglich die erste Elektrode 32 und das Speicherdielektrikum 34 im Bereich des Kontaktlochs 18. Die Seitenflächen des Kontaktlochs 18 im Bereich der ersten Isolationsschicht 10 sind nicht überdeckt.

Das in Fig. 3 dargestellte weitere Ausführungsbeispiel einer Halbleiterspeicheranordnung 1, die mittels des erfindungsgemäßen Herstellverfahrens hergestellt wurde, weist ein kegelstumpfförmiges Kontaktloch 18 auf. Die zweite Isolationsschicht 20 überdeckt in dem dargestellten Beispiel die erste Elektrode 32 und das Speicherdielektrikum 34 im Bereich des Kontaktlochs 18 sowie Teile der ersten Isolationsschicht 10 an den Seitenflächen des Kontaktlochs 18. Die zweite Isolationsschicht 20 weist mindestens annähernd zu der ersten Hauptfläche 3 senkrechte Seitenflächen auf, so daß die Dicke der zweiten Isolationsschicht 20 im Fall eines kegelstumpfförmigen Kontaktlochs 18 aus Richtung des Source-Gebiets 4 in Richtung der ersten Hauptfläche 3 zunimmt.

#### Bezugszeichenliste

1 Halbleiterspeicheranordnung  
2 Auswahltransistor  
3 erste Hauptfläche  
4 Source-Gebiet  
6 Drain-Gebiet  
8 Gate  
10 erste Isolationsschicht  
12 erste Schicht  
14 Dielektrikumsschicht  
16 zweite Schicht  
16' Abschnitt der zweiten Schicht  
18 Kontaktloch  
19 Kante der ersten Schicht  
20 zweite Isolationsschicht  
32 erste Elektrode  
34 Speicherdielektrikum

#### 36 zweite Elektrode

#### Patentansprüche

1. Verfahren zur Herstellung einer integrierten Halbleiterspeicheranordnung mit folgenden Verfahrensschritten:

- Bereitstellen einer Anordnung aus Auswahltransistoren (2);
- Abscheiden einer ersten Schicht (12) aus Elektrodenmaterial auf einer ersten Hauptfläche (3) einer Isolationsschicht (10) über der Anordnung aus Auswahltransistoren (2);
- Abscheiden einer Dielektrikumsschicht (14) über der ersten Schicht (12) aus Elektrodenmaterial;
- Erzeugen von Kontaktlöchern (18) über Source-Gebieten (4) der Auswahltransistoren (2);
- Anordnen einer zweiten Isolationsschicht (20) auf einer freigelegten Kante der ersten Schicht (12) aus Elektrodenmaterial;
- Abscheiden einer zweiten Schicht (16) aus Elektrodenmaterial in Richtung der ersten Hauptfläche (3);
- Strukturieren der zweiten Schicht (16) aus Elektrodenmaterial.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Dielektrikumsschicht (14) aus einem Material besteht, das ferroelektrische Eigenschaften aufweist.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Dielektrikumsschicht (14) aus einem Material besteht, dessen Dielektrizitätskonstante größer als 10 ist.

4. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß das Material ein oxidisches Dielektrikum, insbesondere SBTN  $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ , SBT  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ , PZT  $(\text{Pb}, \text{Zr})\text{TiO}_3$ , BST  $(\text{Ba}, \text{Sr})\text{TiO}_3$  oder ST  $\text{SrTiO}_3$  ist.

5. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß das Kontaktloch (15) im Bereich der ersten Schicht (12) aus Elektrodenmaterial einen größeren Durchmesser aufweist als im Bereich der ersten Isolationsschicht (10).

6. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß das Kontaktloch (15) kegelstumpfförmig ausgebildet ist.

7. Integrierte Halbleiterspeicheranordnung, bestehend aus einer Anzahl gleichartiger Speicherzellen, die jeweils folgende Merkmale aufweisen:

7.1. einen Auswahltransistor (2), der ein Source-Gebiet (4), ein Drain-Gebiet (6) und ein Gate (8) aufweist;

7.2. eine erste Isolationsschicht (10), die sich über dem Source-Gebiet (4) des Auswahltransistors (2) befindet;

7.3. eine auf einer ersten Hauptfläche (3) der Speicheranordnung (1) angeordnete erste Elektrode (30) mit darüberliegendem Speicherdielektrikum (32);

gekennzeichnet durch folgende weitere Merkmale:

7.4. ein Kontaktloch (18) über dem Source-Gebiet (4);

7.5. die erste Elektrode (30) ist im Bereich des Kontaktloches (18) von einer zweiten Isolationsschicht (20) überdeckt;

7.6. eine zweite Elektrode (34) befindet sich über dem Speicherdielektrikum (32) und ist leitend mit dem Source-Gebiet (4) des Auswahltransistor (2) verbunden.

8. Halbleiterspeicheranordnung nach Anspruch 7, 5  
dadurch gekennzeichnet, daß das Speicherdielektrikum (34) ferroelektrische Eigenschaften aufweist.

9. Halbleiterspeicheranordnung nach einem der Ansprüche 7 oder 8, dadurch gekennzeichnet, daß 10  
das Speicherdielektrikum (34) eine Dielektrizitätskonstante größer als 10 besitzt.

10. Halbleiterspeicheranordnung nach einem der Ansprüche 7 bis 9, dadurch gekennzeichnet, daß 15  
das Speicherdielektrikum ein oxidisches Dielektrikum, insbesondere SBTN  $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ , SBT  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ , PZT  $(\text{Pb}, \text{Zr})\text{TiO}_3$ , BST  $(\text{Ba}, \text{Sr})\text{TiO}_3$  oder ST  $\text{SrTiO}_3$  ist.

11. Halbleiterspeicheranordnung nach einem der Ansprüche 7 bis 10, dadurch gekennzeichnet, daß 20  
das Kontaktloch (18) im Bereich der ersten Elektrode (32) einen größeren Durchmesser aufweist, als im Bereich der ersten Isolationsschicht (10)

12. Halbleiterspeicheranordnung nach einem der Ansprüche 7 bis 11, dadurch gekennzeichnet, daß 25  
das Kontaktloch (18) kegelstumpfförmig ausgebildet ist.

Hierzu 3 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

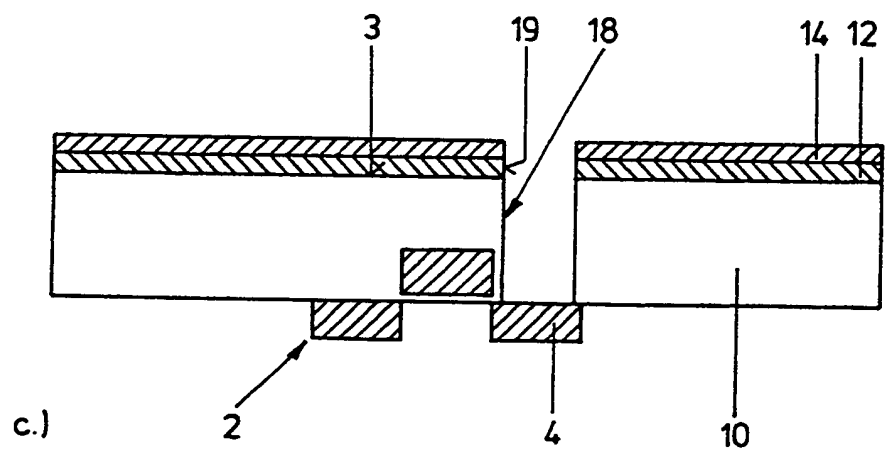
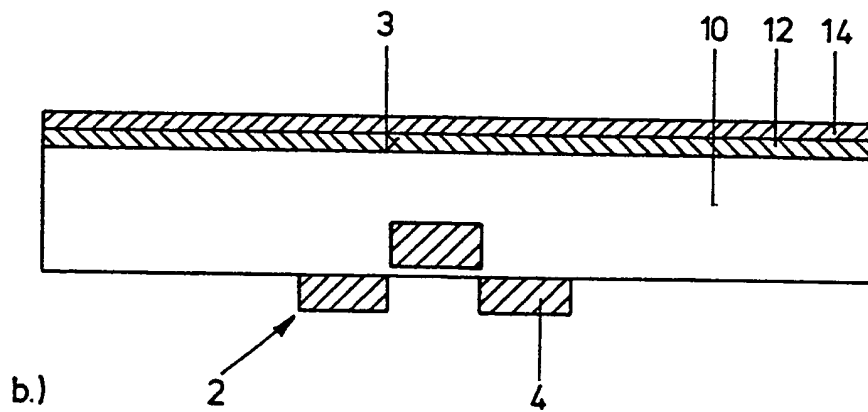
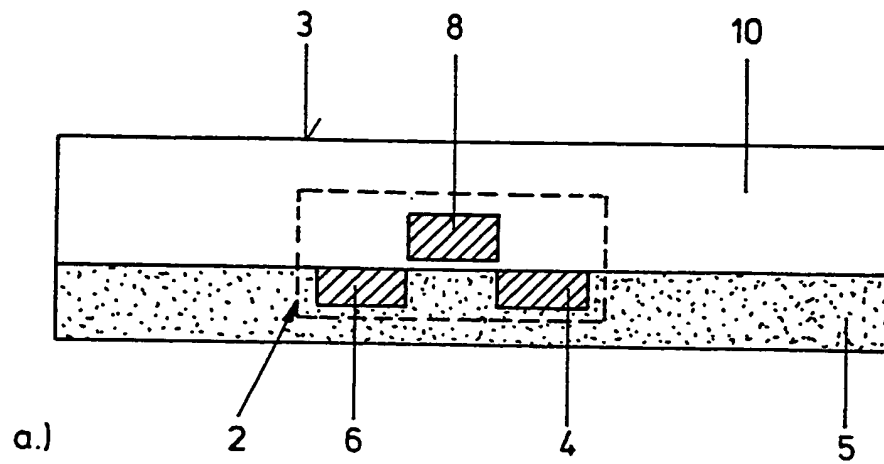


Fig. 1

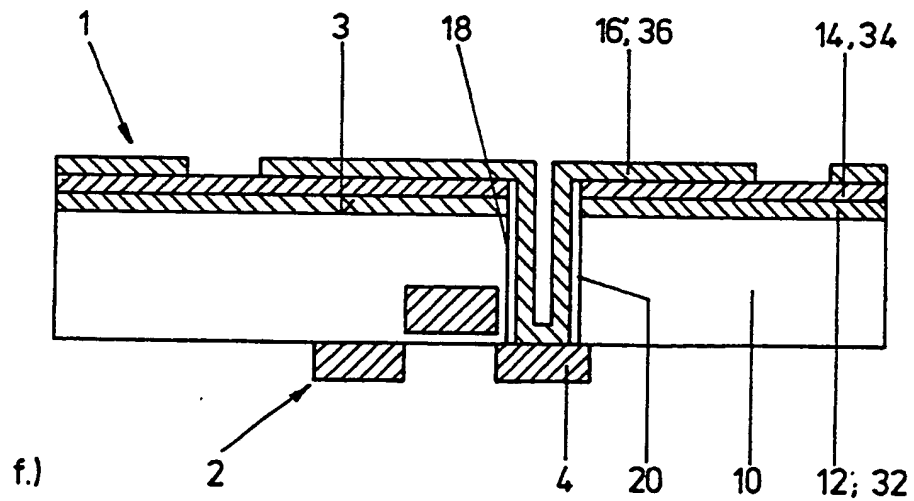
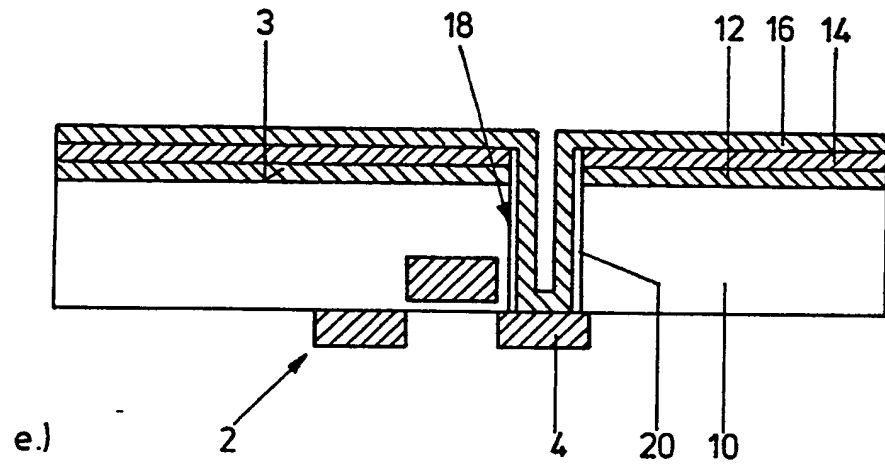
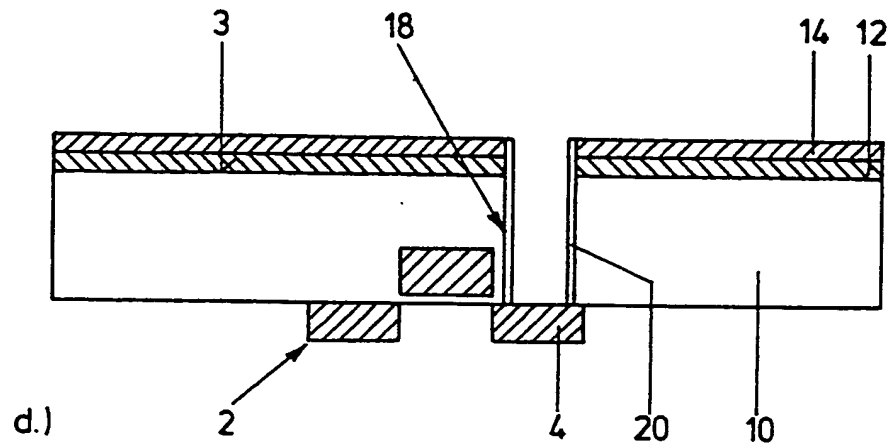


Fig. 1



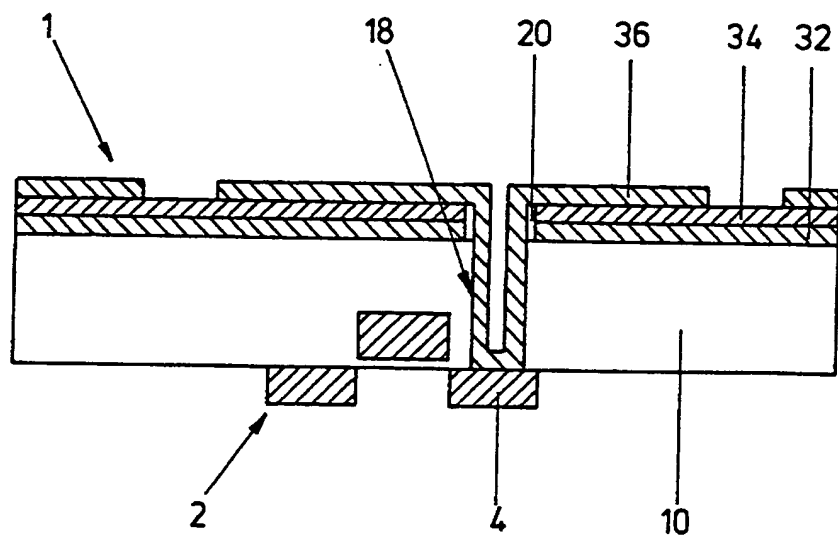


Fig. 2

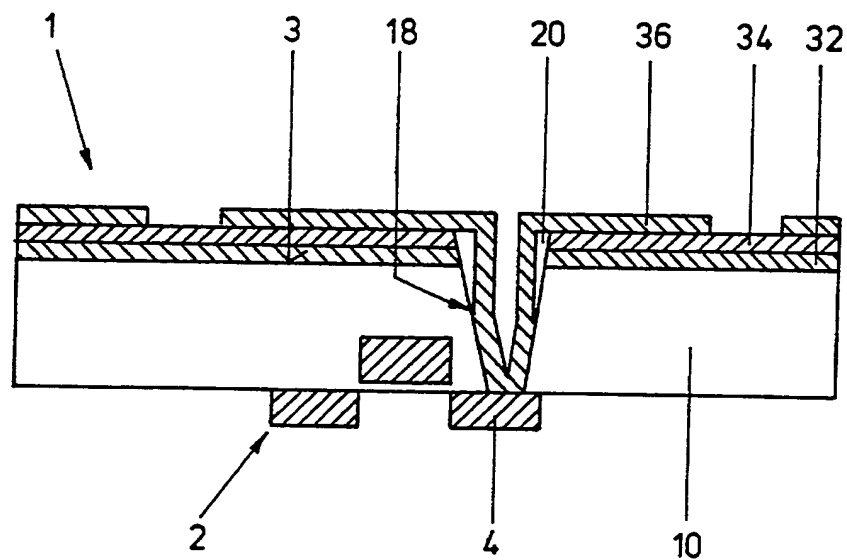


Fig. 3